

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-315185

(43)Date of publication of application : 14.11.2000

(51)Int.Cl.

G06F 13/16

G06F 12/06

(21)Application number : 11-123854

(71)Applicant : HITACHI LTD

HITACHI VIDEO & INF SYST INC

(22)Date of filing : 30.04.1999

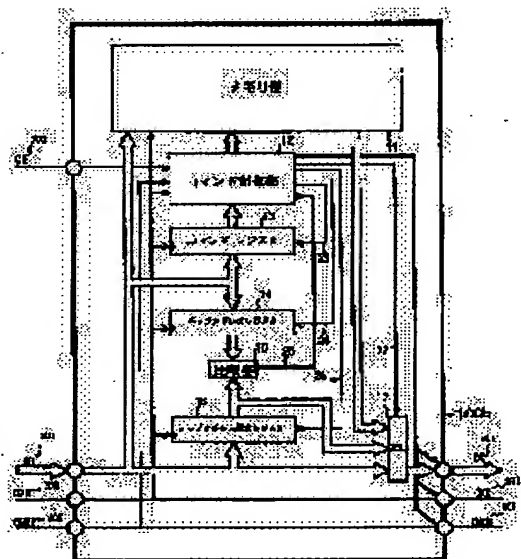
(72)Inventor : TAMURA TAKAYUKI
KAWAGISHI TADAHIRO
TSUNEHIRO TAKASHI
KATAYAMA KUNIHIRO
NAKAMURA KAZUO

(54) SEMICONDUCTOR MEMORY FILE SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory file system using semiconductor memories having constitution advantageous to the formation of a large scale memory.

SOLUTION: In the semiconductor memory file system consisting of a controller and plural semiconductor memories connected to the controller, a buffer is built in each semiconductor memory 100b, a chip address setting register 16 stores a chip address inherent in the semiconductor memory 100b itself and a chip address outputted from the controller and inputted to a chip address register 14 is compared with the chip address stored in the register 16 by a comparator 15 to specify the semiconductor memory instructed from the controller.



LEGAL STATUS

[Date of request for examination]

17.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-315185

(P2000-315185A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl.⁷G 0 6 F 13/16
12/06

識別記号

5 1 0
5 1 0
5 1 5

F I

G 0 6 F 13/16
12/06

テ-マコード (参考)

5 1 0 A 5 B 0 6 0
5 1 0 A
5 1 5 D

審査請求 未請求 請求項の数22 O L (全 25 頁)

(21) 出願番号

特願平11-123854

(22) 出願日

平成11年4月30日 (1999. 4. 30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 田村 隆之

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 100087170

弁理士 富田 和子

最終頁に続く

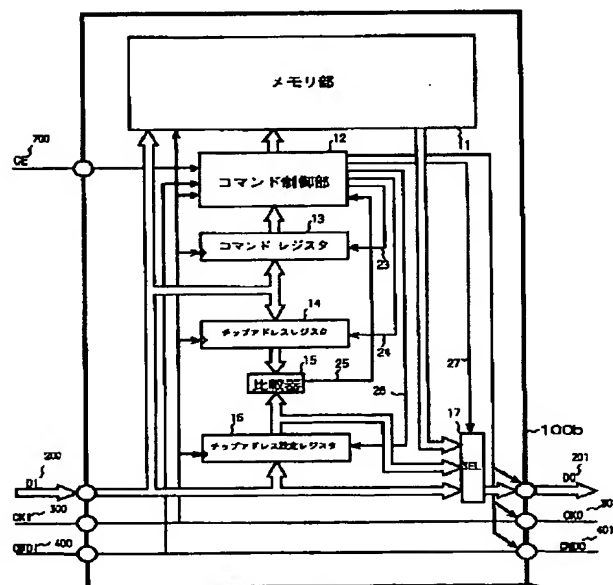
(54) 【発明の名称】 半導体メモリファイルシステム

(57) 【要約】

【課題】大容量化に有利な構成を有する半導体メモリを使用した半導体メモリファイルシステムを提供する。

【解決手段】コントローラと該コントローラに接続された半導体メモリからなる半導体メモリファイルシステムにおいて、半導体メモリ100b内にバッファを内蔵し、半導体メモリ単位に固有のチップアドレスを格納するチップアドレス設定レジスタ16を設け、チップアドレスレジスタ14に取り込まれたコントローラより出力されたチップアドレスを比較器15で比較することで、コントローラの指定する半導体メモリを特定する。

図6



【特許請求の範囲】

【請求項1】ホストより発行されたコマンドに応じた動作を行うマイクロプロセッサ及び制御装置を備えるコントローラと、前記コントローラに接続された第1の半導体メモリとを有する半導体メモリファイルシステムにおいて、

前記第1の半導体メモリに加えて、複数の半導体メモリをさらに備え、

前記第1の半導体メモリは、データ及び制御信号のうち少なくとも一方のためのバッファを内蔵し、

前記複数の半導体メモリは、前記第1の半導体メモリより分配した信号により前記コントローラと接続されることを特徴とする半導体メモリファイルシステム。

【請求項2】請求項1に記載の半導体メモリファイルシステムにおいて、

前記コントローラは、前記第1の半導体メモリへのコマンドおよびデータのうち少なくとも一方を出力するデータ信号線および該データ信号線の同期に使用するクロック出力を、前記バッファを内蔵した第1の半導体メモリに接続し、

前記第1の半導体メモリは、前記内蔵バッファでバッファした前記コントローラからのデータ信号線及びクロック出力を、前記複数の半導体メモリの中の1番目の半導体メモリへのデータ信号線および同期用クロックとして出力し、

前記1番目の半導体メモリに入力されたデータ信号線および同期用クロックを前記複数の半導体メモリの中の2番目の半導体メモリへ出力し、該2番目の半導体メモリに入力された信号線および同期用クロックを3番目の半導体メモリへ出力し、以下同じく、、、 $m-1$ 番目の半導体メモリに入力された信号線および同期用クロックを m 番目の半導体メモリへ出力することで、前記第1の半導体メモリと前記複数の半導体メモリとを縦列に接続し、

前記縦列接続の最後に接続された前記 m 番目の半導体メモリからのデータ信号線及び同期用クロックを、前記コントローラのデータ入力及びクロック入力へ接続することを特徴とする半導体メモリファイルシステム。

【請求項3】請求項2に記載の半導体メモリファイルシステムにおいて、

前記コントローラから出力されるデータは、前記各半導体メモリを特定するメモリアドレスと、該当半導体メモリに対して動作を指示するコマンドと、該当半導体メモリ内のデータのアドレスを特定するアドレスおよびデータのうち少なくとも一方とから構成される命令形式を使用し、

前記各半導体メモリは、データを記憶保持するメモリ部と、前記コマンドを取り込むコマンドレジスタと、該コマンドレジスタの内容に応じた動作を制御するコマンド制御部と、前記メモリアドレスを取り込むメモリアドレ

スレジスタと、前記半導体メモリの固有のアドレスを記憶するメモリアドレス設定レジスタと、前記メモリアドレスレジスタと前記メモリアドレス設定レジスタとの値を比較する比較器とを備え、

05 前記コマンド制御部は、前記比較器の比較結果が一致していたときのみコマンドに応じた動作を行うことを特徴とする半導体メモリファイルシステム。

【請求項4】請求項3に記載の半導体メモリファイルシステムにおいて、

10 前記半導体メモリは、予め定めた特定のコマンドが前記コントローラから発行されたときは、前記メモリアドレスの比較結果の一致に関わらず動作することを特徴とする半導体メモリファイルシステム。

【請求項5】請求項3または4に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリの前記メモリアドレス設定レジスタの値は、電源投入時の初期化によって全bitが“1”に初期化され、前記コントローラから発行される予め定めた特定のコマンド（以降メモリアドレス再設定コマンドと呼ぶ）によって前記メモリアドレス設定レジスタの値を再設定できるものであって、

前記メモリアドレス設定レジスタの再設定が行われた半導体メモリは、前記メモリアドレス再設定コマンドに含まれる前記メモリアドレス設定レジスタに再設定すべき値に相当するデータを、前記メモリアドレス設定レジスタが再設定される前の値に変更して後段の半導体メモリへ出力することを特徴とする半導体メモリファイルシステム。

【請求項6】請求項2乃至5のいずれかに記載の半導体メモリファイルシステムにおいて、

30 n 個の前記半導体メモリが従列に接続されてなる一連の半導体メモリグループ（以下1列の半導体メモリグループと呼ぶ）が、複数並列に配置されており、

前記コントローラから出力される前記データ信号線およびクロックは、前記各列の半導体メモリグループの1番目の半導体メモリにそれぞれ接続され、

前記各列の半導体メモリグループの最後の半導体メモリのデータ信号およびクロックは、各々対応する信号がwi red接続され、前記コントローラのデータ入力クロック

40 入力へ接続され、

前記複数配置された各列の半導体メモリグループに含まれている半導体メモリの各々は、メモリ選択信号入力をさらに備え、

前記半導体メモリのデータおよび制御信号入力に対応するバッファ出力は、前記メモリ選択信号入力がネグート状態にあるときは各出力が“Hi-Z”状態となり、前記メモリ選択信号入力がアサート状態のときは有効な値を出力し、

前記各列の半導体メモリの前記メモリ選択信号入力は、50 前記コントローラから出力される前記各列にそれぞれ対

応した、共通のメモリ選択信号出力に接続されることを特徴とする半導体メモリファイルシステム。

【請求項7】請求項6に記載の半導体メモリファイルシステムにおいて、

前記同一列の半導体メモリグループの各半導体メモリのメモリアドレス設定レジスタは、そのbitのうち複数のbitの値が共通となり、該共通のbitの値が各列毎に異なるように設定するものであり、

前記各列の半導体メモリへ出力するメモリ選択信号が同時にアサートされた場合でも、前記コントローラから発行されるコマンドのメモリアドレスが各列の共通bitと一致しない限り、各列の最後の半導体メモリはコントローラへ出力するデータ信号およびクロックを有効な出力をせず”Hi-z”のままとし、前記コマンドのメモリアドレスが各列の共通bitと一致したときのみ、各列の最後の半導体メモリは前記コントローラへ出力するデータ信号およびクロックを有効にし、

前記各列の最後の半導体メモリが、当該列の最後の半導体メモリであることを区別するための入力を備えたことを特徴とする半導体メモリファイルシステム。

【請求項8】請求項2乃至7のいずれかに記載の半導体メモリファイルシステムにおいて、

前記半導体メモリの前記メモリアドレス設定レジスタのアドレスを設定するメモリアドレス設定信号入力をさらに設け、

前記メモリアドレス設定入力のアサートされたときに、前記アドレス設定レジスタの値が前記半導体メモリのデータ出力から次段の半導体メモリへ順送りに出力され、前記半導体メモリのメモリアドレス設定レジスタが全体として1つのシフトレジスタとして機能し、前記コントローラからのメモリアドレスの設定値をクロックに同期してシフトしつつ設定することを特徴とする半導体メモリファイルシステム。

【請求項9】請求項1に記載の半導体メモリファイルシステムにおいて、

前記コントローラから直接接続される半導体メモリと、該半導体メモリから分配された信号が接続される半導体メモリは同一であり、

前記コントローラから直接接続される半導体メモリと前記半導体メモリから分配された信号が接続される半導体メモリとの区別のための端子をさらに設け、

前記端子でのレベルによって該当する半導体メモリが持つ機能を区別することを特徴とする半導体メモリファイルシステム。

【請求項10】請求項1または9に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリは、データバスを分配するバスバッファと、当該半導体メモリに入力される制御信号に影響されない独立バッファとをさらに備え、

前記コントローラから接続される前記データバスに複数

の半導体メモリを接続し、

前記半導体メモリそれぞれが前記データバスを分配し、分配した各々の該データバスに該データバスの分配を行わない半導体メモリを複数個接続して、該分配を行った半導体メモリを含めて半導体メモリグループを構成し、前記制御信号は、前記半導体メモリグループの半導体メモリが有する独立バッファにより信号をバッファし分配することを特徴とする半導体メモリファイルシステム。

【請求項11】請求項10に記載の半導体メモリファイルシステムにおいて、

前記コントローラから出力されるデータは、前記各半導体メモリを特定するメモリアドレスと、該半導体メモリに対して動作を指示するコマンドと、該半導体メモリ内のデータのアドレスを特定するアドレスおよびデータのうち少なくとも一方から構成される命令形式を使用し、前記半導体メモリは、データを記憶保持するメモリ部と、前記コマンドを取り込むコマンドレジスタと、該コマンドレジスタの内容に応じた動作を制御するコマンド制御部と、前記メモリアドレスを取り込むメモリアドレスレジスタと、当該半導体メモリの固有のアドレスを記憶するメモリアドレス設定レジスタと、該メモリアドレスレジスタと該メモリアドレス設定レジスタとの値を比較する比較器とを備え、

前記コマンド制御部は、前記比較器の比較結果が一致していたときのみコマンドに応じた動作を行うことを特徴とする半導体メモリファイルシステム。

【請求項12】請求項11に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリは、予め定めた特定のコマンドが前記コントローラから発行されたとき、前記メモリアドレスの比較結果の一致に関わらず動作することを特徴とする半導体メモリファイルシステム。

【請求項13】請求項11または12に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリの前記メモリアドレス設定レジスタの値を設定するためのメモリアドレス設定信号入力と、シリアルデータ入力と、シリアルデータ出力とを設け、前記メモリアドレス設定入力のアサートされたときに、前記コントローラから出力されるシリアルデータが、前記半導体メモリのシリアル入力を經由して当該半導体メモリの前記アドレス設定レジスタのシリアル入力に接続され、前記アドレス設定レジスタのシリアル出力が、当該半導体メモリのシリアルデータ出力から次段の半導体メモリのシリアル入力へ出力し、

以下同じく前記一連の半導体メモリが縦列に接続され、前記縦列の最後の半導体メモリのシリアル出力は、前記コントローラのシリアル入力に接続され、クロックに同期して前記各半導体メモリの前記メモリアドレス設定レジスタが全体として1つのシフトレジスタとして機能するように、前記コントローラからのメモリ

アドレスの設定値をシフトして設定し、前記縦列に接続された一連の半導体メモリの数を前記コントローラが計数可能にしたことを特徴とする半導体メモリファイルシステム。

【請求項14】請求項11または12に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリは、当該半導体メモリの前記メモリアドレス設定レジスタの値を設定するメモリアドレス設定信号入力と、前記メモリアドレス設定レジスタの値が設定されたことを示すメモリアドレス設定完了信号出力とを備え、前記コントローラよりメモリアドレス設定信号を1番目の半導体メモリのメモリアドレス設定信号入力へ接続し、該1番目の半導体メモリのメモリアドレス設定完了信号出力を2番目の半導体メモリのメモリアドレス設定信号入力へ接続し、2番目の半導体メモリのメモリアドレス設定完了信号出力を3番目の半導体メモリのメモリアドレス設定信号入力へ接続し、以降同じく信号を接続し、1連の半導体メモリグループの最後の半導体メモリのメモリアドレス設定完了信号出力を前記コントローラのメモリアドレス設定完了入力へ接続し、

前記半導体メモリは、当該半導体メモリ内のレジスタの初期化後は前記メモリアドレス設定完了信号出力をネグートし、

前記半導体メモリは、前記メモリアドレス設定信号入力のアサートされかつ前記メモリアドレス設定完了信号出力がネグートされかつ前記メモリ選択信号入力のアサートされたときのみ、前記コントローラより出力される前記クロックに同期して前記コントローラからデータバスへ出力されるメモリアドレス設定レジスタ用データを前記メモリアドレス設定レジスタに取り込んだ後、メモリアドレス設定完了信号出力をアサートもしくはメモリアドレス設定信号入力のレベルを出力することにより、前記1連の半導体メモリグループのメモリアドレス設定レジスタにメモリアドレスを設定することを特徴とする半導体メモリファイルシステム。

【請求項15】請求項14に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリの初期化後の前記メモリアドレス設定レジスタの値を、前記コントローラより発行されるメモリアドレス再設定コマンドを使用して設定し、前記半導体メモリのメモリアドレス設定レジスタに設定できるのは、前記メモリアドレス設定信号入力のアサートされかつ前記メモリアドレス再設定コマンドが指定するメモリアドレスの半導体メモリであって、前記半導体メモリのメモリアドレス設定レジスタの設定後に当該半導体メモリの前記メモリアドレス設定レジスタの値を設定するメモリアドレス設定信号入力と、前記メモリアドレス設定レジスタの値が設定されたことを示すメモリアドレス設定完了信号出力とを備え、前記コントローラよりメモリアドレス設定信号を1番目

の半導体メモリのメモリアドレス設定信号入力へ接続し、該1番目の半導体メモリのメモリアドレス設定完了信号出力を2番目の半導体メモリのメモリアドレス設定信号入力へ接続し、該2番目の半導体メモリのメモリアドレス設定完了信号出力を3番目の半導体メモリのメモリアドレス設定信号入力へ接続し、以降同じく信号を接続して、1連の半導体メモリグループの最後の半導体メモリのメモリアドレス設定完了信号出力を前記コントローラのメモリアドレス設定完了入力へ接続し、

10 前記半導体メモリは、当該半導体メモリ内のレジスタの初期化後はメモリアドレス設定完了信号出力をネグートし、

前記半導体メモリは、当該半導体メモリについて前記メモリアドレス設定信号入力のアサートされかつ前記メモリアドレス設定完了信号出力がネグートされかつ前記メモリ選択信号入力のアサートされたときのみ、前記コントローラより出力されるクロックに同期して前記コントローラからデータバスへ出力されるメモリアドレス設定レジスタ用データを前記メモリアドレス設定レジスタに取り込み、その後、前記メモリアドレス設定完了信号出力をアサートもしくは前記メモリアドレス設定信号入力のレベルを出力することにより、前記1連の半導体メモリグループのメモリアドレス設定レジスタにメモリアドレスを設定することを特徴とする半導体メモリファイルシステム。

【請求項16】請求項3乃至8及び11乃至15のうちいずれかに記載の半導体メモリファイルシステムにおいて、前記コントローラから前記メモリの動作機能設定に用いる前記端子のレベルを読み取るコマンドを有することを特徴とする半導体メモリファイルシステム。

【請求項17】請求項6乃至9のいずれかに記載の半導体メモリファイルシステムにおいて、

前記コントローラから縦列に接続された前記半導体メモリの各々にデータ出力制御入力及びデータ出力制御出力を設け、

前記縦列に接続された半導体メモリの最後の半導体メモリの前記データ出力制御端子入力は、他の半導体メモリのデータ出力制御出力から出力されるデータ出力制御信号を受け取り、

40 前記データ出力制御信号がアサートされたときに、前記縦列に接続された半導体メモリの最後の半導体メモリに入力されたデータ及びクロック入力を前記コントローラへ出力する機能を有し、

前記縦列に接続された半導体メモリのうちの前記他の半導体メモリの前記データ出力制御出力は、前記コントローラが当該半導体メモリからデータまたは当該半導体メモリの状態をデータとして読み取る場合に前記コントローラから発行されたRead系コマンドに対応して指定された半導体メモリが発行されたコマンドに対応したデータを出力するとき前記データ出力制御出力から前記データ

出力制御信号をアサートする機能を有することを特徴とする半導体メモリファイルシステム。

【請求項18】請求項10乃至16のいずれかに記載の半導体メモリファイルシステムにおいて、

前記半導体メモリにデータ出力制御入力及びデータ出力

制御出力を設け、

前記1連の半導体メモリグループ中の前記コントローラに接続されたデータバスを前記半導体メモリグループ中の他の半導体メモリへ分配する半導体メモリは、当該半導体メモリの前記データ出力制御入力により該他の半導体メモリからのデータ出力制御信号を受け取り、該データ出力制御信号がアサートされたとき、該データ出力制御信号をアサートした半導体メモリからのデータを前記コントローラへ出力する機能を有し、

前記他の半導体メモリの前記データ出力制御出力は、前記コントローラが当該半導体メモリからデータまたは当該半導体メモリの状態をデータとして読み取る場合に前記コントローラから発行されたRead系コマンドに対応して指定された半導体メモリが発行されたコマンドに対応したデータを出力するとき前記データ出力制御出力から前記データ出力制御信号をアサートする機能を有することを特徴とする半導体メモリファイルシステム。

【請求項19】請求項17または18に記載の半導体メモリファイルシステムにおいて、

前記データ出力制御入力及びデータ出力制御出力は同一の端子を共用し、

前記メモリの機能を区別する端子の値によって、前記データ出力制御入力および前記データ出力制御出力に切り換えることを特徴とする半導体メモリファイルシステム。

【請求項20】ホストより発行されたコマンドに応じた動作を行うマイクロプロセッサ及び制御装置を備えるコントローラと、前記コントローラに接続された第1の半導体メモリとを有する半導体メモリファイルシステムにおいて、

前記第1の半導体メモリに加えて複数の半導体メモリをさらに備え、

前記第1の半導体メモリはデータ及び制御信号のうち少なくとも一方のためのバッファを内蔵し、

前記複数の半導体メモリは前記第1の半導体メモリより分配した信号により接続され、

前記コントローラから出力されるデータは、前記第1の半導体及び前記複数の半導体からなる半導体グループのうちの半導体メモリを特定するメモリアドレスと、該半導体メモリ内データのアドレスを特定するアドレスおよびデータのうち少なくとも一方から構成される命令形式を使用し、

前記半導体グループ内の各半導体メモリは、データを記憶保持するメモリ部と、前記コマンドを取り込むコマン

ドレジスタと、該コマンドレジスタの内容に応じた動作を制御するコマンド制御部と、前記メモリアドレスを取りこむメモリアドレスレジスタと、当該半導体メモリの固有のアドレスを記憶するメモリアドレス設定レジスタと、該メモリアドレスレジスタと該メモリアドレス設定レジスタとの値を比較する比較器とを備え、

前記コマンド制御部は、前記比較器の比較結果が一致していたときのみコマンドに応じた動作を行うことを特徴とする半導体メモリファイルシステム。

【請求項21】請求項20に記載の半導体メモリファイルシステムにおいて、

前記半導体グループのうちの各半導体メモリは、予め定めた特定のコマンドが前記コントローラから発行されたとき、前記メモリアドレスの比較結果の一致に関わらず動作することを特徴とする半導体メモリファイルシステム。

【請求項22】請求項20または21に記載の半導体メモリファイルシステムにおいて、

前記半導体メモリの前記メモリアドレス設定レジスタの値を設定するためのメモリアドレス設定信号入力と、シリアルデータ入力と、シリアルデータ出力とを設け、

前記メモリアドレス設定入力がアサートされたときに、前記コントローラから出力されるシリアルデータが、前記半導体メモリのシリアル入力を経由して当該半導体メモリの前記アドレス設定レジスタのシリアル入力に接続され、前記アドレス設定レジスタのシリアル出力が、当該半導体メモリのシリアルデータ出力から次段の半導体メモリのシリアル入力へ出力し、

以下同じく前記一連の半導体メモリが縦列に接続され、前記縦列の最後の半導体メモリのシリアル出力は、前記コントローラのシリアル入力に接続され、

クロックに同期して前記各半導体メモリの前記メモリアドレス設定レジスタが全体として1つのシフトレジスタとして機能するように、前記コントローラからのメモリアドレスの設定値をシフトして設定し、

前記縦列に接続された前記半導体メモリの数を前記コントローラが計数可能にしたことを特徴とする半導体メモリファイルシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回転機構を有しない半導体を用いたファイルシステムに係わり、特に大容量化を行うのに適した半導体ファイルシステムに関する。

【0002】

【従来の技術】半導体記憶を用いたファイルシステムは電氣的消去可能な不揮発性メモリを用いて構成することで、低消費電力、省スペースを可能とする。また半導体プロセスの微細化により半導体メモリの容量は増加しつつはあるがハードディスクのような大容量にするには数

多くの半導体メモリを接続する必要があり、各半導体メモリに対して半導体メモリの数だけICセレクト信号を用意したり、メモリICにICアドレス設定端子を用意してICセレクト信号を削減している。このような従来技術は、例えばUS Patent 540859 Jul.4, 1995に開示されている。

【0003】

【発明が解決しようとする課題】半導体メモリを用いて省スペース大容量のファイルシステムを構成する場合、半導体メモリの持つデータ容量はハードディスクシステムに対して1桁以上小さなものとなっているため、多数の半導体メモリを使用する必要がある。

【0004】多数の半導体メモリを接続するために半導体メモリと、コントローラや、半導体メモリ同士を共通の信号線で接続する場合、通常コントローラや、半導体メモリの出力バッファの駆動能力は、10個ぐらいで多くても16個、20個程度が限度と考えられ、これ以上に多くの半導体メモリを使用するには、バッファICなどを用いて複数に分けて接続する必要がある。

【0005】しかしながら、バッファICを使用することによって、PCカードなどの小型の実装エリアの限られた機器ではバッファICによって実装できる半導体メモリの数が制限されてしまう。

【0006】また、半導体メモリを制御するコントローラICで複数に分ける場合では、前記コントローラICの端子数を増やすことになり、前記コントローラICのパッケージサイズが大きくなり、結果として半導体メモリの数が制限されてしまう。

【0007】本発明は上述した問題点を考慮してなされたもので、その目的は大容量化に有利な構成を有する半導体メモリファイルシステムを提供することにある。

【0008】また、本発明の他の目的は、半導体メモリにデータや制御信号に対するバッファを内蔵させた半導体メモリファイルシステムを提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明は、ホストより発行されたコマンドに応じた動作を行うマイクロプロセッサ及び制御装置を備えるコントローラと、前記コントローラに接続された第1の半導体メモリとを有する半導体メモリファイルシステムにおいて、前記第1の半導体メモリに加えて複数の半導体メモリをさらに備え、前記第1の半導体メモリはデータ及び制御信号のうち少なくとも一方のためのバッファを内蔵し、前記複数の半導体メモリは前記第1の半導体メモリより分配した信号により前記コントローラと接続されることを特徴とする。

【0010】

【発明の実施の形態】本発明の一実施形態を図2を用いて説明する。

【0011】本実施形態における半導体メモリファイル

システムは、例えば図2に示すように、HOST1よりデータ信号制御信号が接続され、マイクロプロセッサ3、制御部4より成るコントローラ2と、メモリ10とより構成される。

05 【0012】HOST1より種々のコマンドが発行され、HOST1とコントローラ2との間で、HOST1より発行されたコマンドに対応したデータのやり取りを行う。マイクロプロセッサ3はHOST1より発行されたコマンドを解釈し、発行されたコマンドに対応した動作をコントローラ2へ指示する。

10 【0013】例として、HOST1より発行されたコマンドがReadコマンドの場合、マイクロプロセッサ3はメモリ10から、HOST1が発行したReadコマンドのアドレスに対応したメモリ10にあるデータを、コントローラ2を介して読み出し、該読み出したデータをHOST1のRead動作に合わせて順次出力する。また、HOST1が発行したコマンドがWriteコマンドの場合、HOST1によってコントローラ2に書き込まれたデータを、HOST1が指定したアドレスに対応したメモリ10のアドレスに書き込む。

20 【0014】本発明で使用する個別のメモリ100aの内部ブロック構成の一例を図1に示す。メモリ100aは、上記図2のメモリ10を構成するもので、メモリ部11、コマンド制御部12、コマンドレジスタ13、チップアドレスレジスタ14、比較器15、チップアドレス設定レジスタ16、及びSEL17を備えている。メモリ100aはコマンド発行式メモリで、主な入力端子としてDI200、CKI300及びCMDI400が有り、出力端子としてDO201、CKO301及びCMDO401がある。また、この他に不揮発性メモリ100aの電源投入時等に初期化を行うリセット端子等がある。

30 【0015】DI200はCKI300に同期して送られる。CMD400はDI200から送られてくるデータの区切りを示す信号で、図4に示すように、DI200はマイクロプロセッサ3の指示でコントローラ2から出力され、チップアドレス2000、コマンド2100、データアドレス2300、データ2200の順で送られる。データアドレス2300、データ2200は発行されるコマンドが必要としない場合は省略される。

40 【0016】図4に示す例では、まずコントローラ2から出力されるCMD400が”L”レベルから”H”レベルにアサートしたことを、図1のコマンド制御部12が検出し、チップアドレスレジスタ14へDI200の入力制御信号24をアサートし、チップアドレスレジスタ14へチップアドレス2000を取り込み、入力制御信号24はDI200からチップアドレス2000の取込の終了でネゲートされる。

45 【0017】比較器15はチップアドレスレジスタ14とチップアドレス設定レジスタ16の値を比較し、コマンド制御部12へ比較結果25を出力する。

50 【0018】さらに、コマンド制御部12は、チップアド

レス2000の取込の終了時点のチップアドレスレジスタ14とチップアドレス設定レジスタ16の比較結果25の値を取り込んで、コマンド制御部12の内部ステータスとして保持し、D I 200からコマンド2100をコマンドレジスタ制御信号23をアサートし、コマンドレジスタ13に取り込む。

【0019】通常、チップアドレスレジスタ14とチップアドレス設定レジスタ16の値が一致していればコマンド制御部12では取り込んだコマンドに応じた動作を行うが、チップアドレスレジスタ14とチップアドレス設定レジスタ16の値比較する必要のないコマンドの場合は、比較結果を無視して取り込んだコマンドに応じた動作を行う。

【0020】CE700はメモリのチップイネーブル入力でCE700がアサートされているのをうけてコマンド制御部12は、D O 201、C K O 301、C M D O 401から値を出力するように制御し、またCE700のネゲートをうけて前記D O 201、C K O 301、C M D O 401の出力を"Hi-z"状態となるように制御する。

【0021】図6は、図1におけるD I 200とD O 201をシリアルから複数のbit幅にした時のメモリ100bの内部ブロック構成例を示す。

【0022】本例のメモリ100bは基本的には図1に示す構成のメモリ100aと同じような回路構成となっている。異なるのはD I 200、D O 201のデータ幅が1bitから多数bitになっている。

【0023】このため、本例のメモリ100bでは、コマンドレジスタ13、チップアドレスレジスタ14、チップアドレス設定レジスタ16が図1ではシフトレジスタ構成だったのがデータをバラレルにロードする形式のレジスタになっている。ただし、コマンドレジスタ13、チップアドレスレジスタ14、チップアドレス設定レジスタ16のbit数がD I 200、D O 201のbit数より多い場合は、複数回に分けてデータをロードする。

【0024】図3は、図1または図6に示された構成のメモリ100~159を有するメモリ10と、コントローラ2との接続例を示す。

【0025】図3においてコントローラ2からC K O 300、C M D O 400及びD O 200がメモリ100、110、120、・・・、159の対応するD I、C K I、C M D I入力へ接続され、コントローラ2からC E 0がメモリ100、101、102、・・・、109のC E入力へ、またコントローラ2からC E 1がメモリ110、111、112、・・・、119のC E入力へ、コントローラ2からC E 2がメモリ120、121、122、・・・、129のC E入力へ接続されている。

【0026】図3に示すように本例では、メモリ100、101、102、・・・、109は縦列に接続され、同様にメモリ110、111、112、・・・、119及び、メモリ120、121、122、・・・、129、メモリ150、151、152、・・・、159もそれぞれ縦列に接続され、メモリ109、119、129、

・・・、159のD O出力はWired接続されコントローラ2のD I入力へ出力され、同様に、メモリ109、119、129、・・・、159のC K O出力もWired接続されコントローラ2のC K I入力へ出力される。

05 【0027】このときのメモリ109、119、129、・・・、159のD O 309及びC K O 209は、図4に示すようにデータ2201だけをメモリ109がコントローラ2へ出力し、他のメモリ119、129、・・・、159の出力は"Hi-z"になるこのようにメモリを縦列に接続することによって縦列に接続されたメモリとメモリとの信号線の接続が1対1になる。このため、メモリの信号端子の配置を最適化し、基板に実装する時の信号の配線長を短くすることが可能となり、等長配線も簡単にできる。

10 【0028】図3において、メモリを縦列に接続する時には、コントローラ2や各メモリのD Iに入力されるデータやコマンドやアドレスデータとC K I入力に入力されるクロック信号との間に発生するスキューがメモリを通過するたびに増えてゆくため、クロックの周波数とメモリを縦列に接続する個数を考慮する必要がある。

20 【0029】メモリ100へ発行する基本的なコマンドは"Read"、"Write"、"Erase"、"StatusRead"等があるが、本発明では上記以外に図1のチップアドレスレジスタ16にチップアドレスを再設定できるコマンドを有する。

25 【0030】本発明の特徴となる上記"チップアドレス再設定"コマンドについて、図2及び図5を用いて説明する。なお、本明細書のタイミングチャートの説明において断りがない限り、タイミングチャートの波形の"Hi"レベルをアサート状態もしくはアサーション、"Lo"レベルをネゲート状態もしくはネゲーションと表記する。

30 【0031】図5において、C K I 300に同期して入力されるD I 200は、チップアドレス2000、コマンド2100として"チップアドレス再設定"コマンド、データ2200として新アドレスが順次入力される。ここで、チップアドレス2000、チップアドレスレジスタ14への取り込みとチップアドレスの比較、および、コマンド2100のコマンドレジスタ13への取り込みは前述と同様に行われる。

35 【0032】コマンド2100がチップアドレス再設定コマンドと検出したコマンド制御部12は、コマンド2100の後に続くデータである新チップアドレス2200をチップアドレス設定レジスタ16に取り込むために制御信号26をアサートし、チップアドレス設定レジスタ16に新チップアドレスを取り込むと同時に、D O 201からは新チップアドレス2200を取り込む前の旧チップアドレス2201を出力する。

45 【0033】また、図1、図6において電源投入時等に行うメモリのリセットによって、メモリ100のチップアドレス設定レジスタ16の値は、全てのbitが"1"に初期化される。ここで図1もしくは図6におけるチップアドレスレジスタ14、及びチップアドレス設定レジスタ16のbit数を8bitとして、図3におけるメモリのチップアドレ

スの設定処理について説明する。

【0034】メモリのリセット信号は簡略のため図3においては表記していないが、メモリのリセットによって図3の全てのメモリ100、101、102、・・・、159のチップアドレス設定レジスタ16の値は16進数で“FF”になる。以後、16進数で“1B”を“0x1B”というように表現する。

【0035】まず、図3のメモリ100、101、102、・・・、109のチップアドレスの設定について、図5を参照して説明する。

【0036】メモリのリセット後、各メモリ100、101、102、・・・、109のチップアドレス設定レジスタ16の値は“0xFF”となっている。ここでまず、図1のマイクロプロセッサ3はコントローラ2に対してCE0～CEnのうちCE0のみをアサートすることを指示する。これによってメモリ100～109までが動作可能状態となり、メモリ110～159までは各出力端子は“Hi-z”となる。

【0037】次に、マイクロプロセッサ3はコントローラ2に、メモリに対して“チップアドレス再設定”コマンドの発行を指示する。このときのチップアドレス2000は“0xFF”を、また新チップアドレス2200には“0xFF”以外の固有の値を、例えば“0x00”を与える。前記動作でメモリ100のチップアドレス設定レジスタ16の値は“0xFF”から“0x00”になり、メモリ100のDO201からは旧チップアドレス2201として“0xFF”が出力される。したがって、メモリ101以降には新チップアドレスが“0xFF”が入力されるのでメモリ101以降のチップアドレス設定レジスタ16の値は“0xFF”のままとなる。

【0038】同様にもう一度、“チップアドレス再設定”コマンドの発行を新チップアドレス2200の値を“0xFF”以外の新たな値で行うことで、メモリ101のチップアドレス設定レジスタ16が再設定される。このときメモリ100は、すでに新しいチップアドレスに再設定されているので今回のコマンドには反応せず、メモリ100のチップアドレス設定レジスタ16の値は変らない。

【0039】以降同様に、“チップアドレス再設定”コマンドを新チップアドレス2200の値を順次新たな値で発行することで、メモリ109までのチップアドレスの設定ができる。

【0040】ここで、メモリ100からメモリ109までのメモリに対して“チップアドレス再設定”コマンドの発行を行っている間は、コントローラ2のDI入力には新アドレス2200は“0xFF”が返ってくる。これに対してメモリ100からメモリ109までのメモリの個数以上に“チップアドレス再設定”コマンドの発行を行った場合、“チップアドレス再設定”コマンドの発行した回数がメモリの個数を越えた時点でコントローラ2のDI入力に返ってくる値が“0xFF”でなく再設定しようとした値が返ってくる。これを利用して発行した回数を数えることで、メモリ100からメモリ109までの、メモリ100およびメモリ109を含

めたメモリの数を知ることができる。

【0041】以降、同様にしてメモリ110からメモリ119、メモリ120からメモリ129、・・・、メモリ150からメモリ159を設定する。

05 【0042】このようにメモリにバッファを内蔵し縦列に接続することによりコントローラ2のメモリに接続する端子の増加を最少に押さえることができる。以下に、 $16 \times 16 = 256$ 個のメモリを接続する場合について、本実施形態による効果を説明する。

10 【0043】通常、1系統のデータバスに接続できるメモリは16個程度が限度と考えられており、よって、256個のメモリを接続するには、データバスが16系統必要となる。このような場合、従来のメモリコントローラの信号線の本数は、 $16 \text{ 系統} \times 8 \text{ bit} = 128$ 個の端子が必要となる。これは、本来なら256個分のメモリのCEが必要になることとなる。

15 【0044】しかし、本実施形態の図3に示した接続方法によれば、メモリコントローラはDO出力にメモリ16個、DI入力にメモリ16個を接続することができる。ここで、図3に示すメモリは行列の状態となるように配置されている。したがって、データバスに $8 + 8 = 16$ 個の端子とCE用に16個の端子とで、本実施形態によれば $(8 + 8) + 16 = 32$ の端子だけが必要となる。

20 【0045】したがって、本実施形態の図3に示した接続方法によれば、CE用の端子を含めてもメモリコントローラに必要な端子数は、従来技術の場合よりも非常に少ない数に押さえることができるという、大きな効果を奏する。

25 【0046】また、CE700と併用することで、CE700がネゲート状態にある間メモリが出力する信号を“Hi-z”にし、出力の消費する電流を抑え、メモリ全体の消費電力を抑えることができる。

30 【0047】前述の説明でメモリのチップアドレスの設定について説明したが、次に他の方法によるチップアドレスの設定について説明する。

35 【0048】図1や、図3、図6では省略しているが電源投入後にメモリの初期化を行う時、メモリへ出力するリセット信号をアサートするが、このリセット信号とコントローラ2から出力するCMDOのレベルの組み合わせで、チップアドレスの設定を行う。

40 【0049】すなわち、リセット信号がアサートされ、CMDO信号がネゲートされている時はメモリの初期化を行い、リセット信号がアサートされ、CMDO信号がアサートされればメモリのチップアドレスの設定モードになるようにする。以下、図7を用いて説明する。図7においてリセットは図3のコントローラ2もしくは図2のマイクロプロセッサ3から図3のメモリ100、101、・・・、159へ出力される。但し、メモリの数が多くなるので図3のコントローラ2から出力されるCMDOと同様の配線方法を取る。

【0050】図7においてまず、リセット信号がアサートされることで各メモリの初期化を行い、全てのメモリのチップアドレス設定レジスタ16の値を"0xFF"にする。

【0051】次にリセット信号がアサート、CMD0をアサートしチップアドレス設定モードにし、メモリ100、101、・・・、109のチップアドレスを設定するためにCE0をアサートする。これによりメモリ100、101、・・・、109のDO201はチップアドレス設定レジスタ16の値を選択し出力する。この状態でコントローラ2のDO出力から各メモリ100、101、・・・、109へ設定するアドレスをコントローラ2から出力するCKOに同期して出力してゆく。

【0052】コントローラ2のDO出力からメモリへ出力するデータは、まず最初にリセットでアドレス設定レジスタに初期化された"0xFF"以外の値を(ここでは"0x00")を出力し、以降順次図7のように"0xFF"から値を1つつ減じた値を出力してゆく。

【0053】メモリ100は、前記コントローラ2からのDO出力をCKOの立上がりでチップアドレス設定レジスタ16に取り込み、取り込んだデータはCKOの立ち上がりでSEL17を経由しメモリ100のDO201へ出力する。以下同様にメモリ101、102、・・・、109とデータがシフトし、メモリ109のDO出力先のコントローラ2のDI入力に入力されるデータが"0xFF"から"0x00"になるまでコントローラ2のDO出力から1つつ減じたデータ及びCKO出力からクロックを順次出力する。

【0054】これによりメモリ100～109までのチップアドレス設定レジスタ16の値はメモリ109が"0xFF"となり、メモリ109からメモリ100へ順次1つつ減じた値が設定され、メモリ100～109までの間にメモリ100とメモリ109とを含めて物理的に256個のメモリを接続でき、256個接続されていれば図7のメモリ100、101、102のチップアドレス設定レジスタ16の値は"0x00"、"0x01"、"0x02"が設定される。

【0055】その後CE0をネゲートしてメモリ100～109のチップアドレス設定レジスタ16の設定を終了する。以下同様に、メモリ110～119、メモリ120～129、・・・、メモリ150～159についてチップアドレス設定レジスタ16の設定を行う。その後、前記のチップアドレス設定コマンドを使用して各メモリのチップアドレスを所望の値に再設定する。

【0056】次に、図6のメモリにおいて双方向データバスを扱うことを可能にしたメモリ100cについて、図8、図9を参照して説明する。なお、図9に示されている全てのメモリは、図8に示す構成を備えているものとする。

【0057】図8に示す本例のメモリ100cは、図6に対してOE入力800、WE入力900、SI入力600、SO出力601、IN入力500、OUT出力501、及びSEL19が追加され、DI200及びDO201は双方向データバスが扱

えるようになっている。

【0058】OE入力800、WE入力900はDI200とDO201の入出力制御に利用し、図9のようにコントローラ2のDに接続されたデータバスはメモリ100、110、120、・・・、150のDIに接続され、各メモリ100、110、120、・・・、150のDOから分配される。

【0059】すなわちメモリ100、110、120、・・・、150はメモリとしての機能の他にバスバッファの機能を併せて持つことになり、メモリ100のDOより分配されるデータバスにはメモリ101、102、103、・・・、109のDIに接続され、メモリ110のDOより分配されるデータバスにはメモリ111、112、113、・・・、119のDIに、メモリ150のDOより分配されるデータバスにはメモリ151、152、153、・・・、159のDIに接続される。

【0060】コントローラ2から出力される制御信号CE、OE、WE、CKO、CMD0は図9に示すように各メモリのIN、OUTを使用して分配する。

【0061】図8におけるSI500とSO501は図9のように双方向データバスを使用する場合、入力のデータバスと出力のデータバスが分離されていないため、電源投入直後の初期化後の前記"チップアドレス再設定"コマンドが使用できない。このため、本例では、図9のようにコントローラ2のSO出力からメモリ100のSI入力に接続され、順次メモリ100のSO出力よりメモリ101のSI入力、・・・、メモリ159のSO出力からコントローラ2のSI入力に接続し、メモリ100からメモリ159までのチップアドレス設定レジスタ16を1個のシフトレジスタとして構成するモードを持つことで、電源投入時等のメモリの初期化後のチップアドレス設定レジスタの設定に使用する。

【0062】このような構成によれば、すべてのメモリのチップアドレス設定レジスタを併せた全体で、実質的に1個のシフトレジスタとして機能させることができる。

【0063】以上のようにメモリ内に、図1、図3、図8に示すようなデータバスを分配するバスバッファや制御信号を分配するために使用する独立したバッファ等のバッファを内蔵することにより、データや制御信号のためのバッファ用のICが不要となり、コントローラ2に接続する信号線数の増加を最少にできる。したがって、コントローラ2もしくは制御部4をIC化する場合において、メモリに接続する端子の数を少なくできるのでICのパッケージを小さくできるため高密度実装に有利となる。

【0064】図10に、図1および図6、図8におけるメモリ100における比較器15の詳細構成の一例を示す。

【0065】比較器15は、図10に示すように、チップアドレスレジスタ14とチップアドレス設定レジスタ16の対応するbitどうしの値の一致をENOR31で比較し、全てのbitが一致したとき、すなわちENOR31の出力が

全て“Hi”レベルになったことをAND32でANDをとることで検出し、チップアドレスの一致出力25をアサートしコマンド制御部12に伝える。

【0066】またアドレスグループ設定レジスタ18およびOR-AND33は、図3におけるメモリ109、119、129、、、159および図9におけるメモリ100、110、120、、、150で有効に働く機能で、例えば図3においてコントローラ2から出力されるCE0およびCE1、CE2、、、CE_n等が同時にアサートされた状態にあるときでも、コントローラ2が発行するコマンドがメモリ101に対するコマンドの場合に、メモリ109はメモリ100からメモリ109に対して発行されたコマンドであることを認識するのに使用し、メモリ109から出力するDO出力を有効にする。

【0067】一例として図3においてメモリ100からメモリ159のチップアドレス設定レジスタ16に設定した値について、メモリ100が“0x00”で、メモリ101が“0x01”、メモリ102が“0x02”、、、メモリ109が“0x07”、メモリ110が“0x08”、メモリ111が“0x09”、メモリ112が“0x0A”、、、メモリ119が“0x0F”、と図3における各メモリのチップアドレス設定レジスタ16の値は、他のメモリと異なる値でかつ縦列に接続されたメモリのチップアドレス設定レジスタ16の値の各bitの値が共通の値となるように設定する。上記の場合、例えばメモリ100からメモリ109についてはbit0からbit2の3bitが異なる値となり、bit3からbit7の5bitが共通の値となるように設定する。

【0068】ここで上記のようにメモリ100からメモリ119に設定され、CE0とCE1が同時にアサートされる場合を想定する。このような場合、図10のアドレスグループ設定レジスタ18の値は、図3のメモリ100～119については“0x07”をコントローラ2から設定するコマンドを発行することで、メモリ100～119のアドレスグループ設定レジスタ18を“0x07”に設定する。

【0069】この状態でコントローラ2からメモリ102に対してメモリの内容を読み出す“Read”コマンドを発行した場合、発行する“Read”コマンドのチップアドレス2000は“0x02”となり、各メモリのチップアドレスレジスタ14に取り込まれる。図10において、比較器15の出力25が“Hi”レベルとなりアサートされるのはメモリ102だけで、また比較器15の出力34が“Hi”レベルとなるのは図3におけるメモリ100からメモリ109となる。

【0070】またメモリ109のコマンド制御部12は、DO201、CKO301、CMDO501の各出力に対して信号の出力の許可を与えるように制御する。またメモリ119は、メモリ119の比較器15の出力34がアサートされないため、メモリ119のコマンド制御部12はDO201、CKO301、CMDO501に対して出力を“Hi-z”になるように制御することにより、メモリ109の出力とのあいだで同時出力を避けることができる。

【0071】上記例ではメモリ100から順に“0x00”、“0x01”、“0x02”、、、と昇順にチップアドレス設定レジスタ16の値を設定したが、降順に設定してもよい。

【0072】また以下のようにメモリ100に“0x00”、メモリ101に“0x10”、メモリ102に“0x20”、、、メモリ109に“0x70”、メモリ110に“0x80”、メモリ111に“0x90”、メモリ112に“0xA0”、、、メモリ119に“0xF0”、メモリ120に“0x01”、、、と設定することも可能で、この場合各メモリのアドレスグループ設定レジスタ18の値を“0x70”と設定することで上述と同様のことができる。

【0073】図9においても、アドレスグループ設定レジスタ18は、コントローラ2に接続されるメモリのデータバスへの出力制御に用いる。

【0074】図9において各メモリ100からメモリ159に対してメモリ100が“0x00”で、メモリ101が“0x01”、メモリ102が“0x02”、、、メモリ109が“0x07”、メモリ110が“0x08”、メモリ111が“0x09”、メモリ112が“0x0A”、、、メモリ119が“0x0F”、、、メモリ150が“0xF8”、メモリ151が“0xF9”、メモリ152が“0xFA”、、、メモリ159が“0xFF”、と各メモリのチップアドレス設定レジスタ16にメモリのチップアドレスを設定し、各メモリのアドレスグループ設定レジスタ18に“0x07”を設定する。

【0075】例として、コントローラ2からメモリ102へデータをWriteする場合を図11を用いて説明する。図11は、図9のように接続されている場合のコントローラ2から発行されるコマンドに対する各メモリにおける入出力のタイミングの1例である。図11に示す例においては、メモリのDI200にコントローラ2から発行されるチップアドレス2000、コマンド2100、データアドレス2300、がWE900と共に入力される。チップアドレス2000はメモリのチップアドレスレジスタ14に、コマンド2100はコマンドレジスタ16に格納され、メモリ102はデータ2200のWrite転送を行いメモリ102のメモリ部11に格納する。

【0076】また、コントローラ2がメモリ102のデータをReadする場合は、メモリ102からのデータを読み出すために図11に示すように、データ2200をReadする所ではWE900はアサートせずにOE800をアサートすることでメモリ102はデータ2200を出力する。さらに、メモリ100は図10のグループアドレス設定レジスタ18によって比較器15からの出力34がアサートされ、メモリ100は当該メモリ100のDO201に接続されているメモリの1つであるメモリ102からのデータ2201をコントローラ2へ出力する。

【0077】ここでメモリ100以外のデータを分配するメモリ110、、、メモリ150は、各メモリの内蔵する比較器15の出力34がアサートされないため、コントローラ2に対するデータは“Hi-z”状態となる。

【0078】このようにグループアドレス設定レジスタ18によって、コントローラ2への各メモリのデータの出

力同士がぶつかることなくデータのRead処理が実行できる。

【0079】また、図9においても、図3のようにCEをそれぞれのバスグループ別に分けることで複数のメモリを接続したときのアクティブな状態にあるメモリを少なくすることができ、またS I 600及びS O 601を図3のD I、D Oのように結線すれば各バスグループに接続されているメモリ数を個別に計数可能になる。

【0080】図3においてメモリ109、119、129、159とこれら以外のメモリの区別や、図9におけるメモリ100、110、150とこれら以外のメモリの区別には、図1、図6、図8のメモリに動作機能を区別するための入力を1個ないし複数設け、入力レベルの組み合わせにより区別することで、1個のメモリで複数の機能あるいは動作モードを持たせることができる。

【0081】以下では、図8でチップアドレス設定レジスタ16の初期化後のチップアドレス設定法として行っていたシフトレジスタ構造とは別の方法による設定を可能にした実現例を、図12を参照して説明する。

【0082】図8の例では、メモリ100cの初期化後にチップアドレス設定レジスタ16の値を直接設定するために使用していたS I 600とS O 601は、チップアドレス設定レジスタ16には接続されずに、コマンド制御部12に接続されそれぞれS I 600はチップアドレス設定レジスタ16に対する設定許可信号として、またS O 601はメモリ100の初期化後のチップアドレス設定レジスタ16がコントローラ2によって設定されたことを示す出力として使用する。

【0083】これに対して、図12のメモリの接続は図8のメモリで説明した図9のように構成でき、図9においてコントローラ2のS Oからは電源投入時等のメモリの初期化後のチップアドレス設定レジスタ16のチップアドレス設定信号を出力し、コントローラ2のS I入力には図9のメモリ全てのチップアドレスの設定が完了したことを知らせる信号が入力される。

【0084】図9及び図12における各メモリのチップアドレス設定レジスタ16の設定例を図13を参照して説明する。なお、本例では、メモリのリセットによる初期化後のチップアドレス設定レジスタ16の設定モードを、クロックとクロックに同期したデータとを使用して設定する。

【0085】図13において、リセットのアサートにより全メモリのコントロール部の初期化を行い、その後コントローラ2よりC M D Oをアサートして、チップアドレス設定レジスタ16の設定モードにする。コントローラ2はC E OとS Oをアサートした後、C K Oに同期してチップアドレス設定レジスタ16に設定する値をD Oから出力する。

【0086】図12において、チップアドレス設定レジスタ16の設定モードでは、メモリ100は当該メモリ100のC

E 800、S I 600入力がアサートかつメモリ100のS O出力がネゲートされているとき、メモリ100は当該メモリ100のC K I入力の立ち下がりエッジで、当該メモリ100のD Iに入力された値をチップアドレス設定レジスタ16に取り込む。

【0087】図9において、リセット後チップアドレス設定レジスタ16の設定モードになった後、コントローラ2の最初のC K Oの立ち下がりでは、メモリ100のC E 800、S I 600入力がアサートされ、メモリ100のS O出力がネゲートされているので、コントローラ2のD Oのデータ"0x00"をメモリ100のチップアドレス設定レジスタ16に取り込む。

【0088】取り込んだ後メモリ100は、S O出力をアサートもしくはメモリ100のS I入力の値を出力する。コントローラ2の最初のC K Oの立ち下がりにおいて、メモリ101以降は、当該メモリ101以降のS I入力がネゲートされているので、メモリ101以降のチップアドレス設定レジスタ16に取り込まれることはない。

【0089】次に、コントローラ2の2番目のC K Oの立ち下がりでは、メモリ100はS O出力がアサート状態のためチップアドレス設定レジスタ16に取り込まれず、メモリ101のS I 600がアサートされS O出力はネゲートのため、メモリ101がコントローラ2のD Oからのデータ"0x01"をチップアドレス設定レジスタ16に取り込む。

【0090】以降、同様にメモリ103から順次各メモリのチップアドレス設定レジスタ16にコントローラ2のD Oからのデータが取り込まれ、図9の最後のメモリ159に取り込まれた後、メモリ159はS O 601出力をアサートもしくはメモリ159のS I入力の値を出力し、コントローラ2へ図9の全メモリのチップアドレス設定レジスタ16の設定が終了したことを知らせる。

【0091】コントローラ2は、当該コントローラ2のS I入力がアサートされるまでに出力した各メモリへのチップアドレス設定レジスタ16の設定データの数を計数することで、図9のメモリの数を知ることができる。

【0092】図14に、図12のメモリと図9の接続構成におけるメモリのチップアドレス設定レジスタ16の設定例の動作例を示したタイミングチャートを示す。

【0093】本例では、電源投入後のメモリのリセットや、チップアドレス設定レジスタ16の初期化コマンドにより、図9の各メモリのチップアドレス設定レジスタ16は"0xFF"に初期化され、各メモリのS O 601出力をネゲートする。ここで図9の各メモリは各メモリのS I 600入力及びC E 700入力がアサートされないと、コントローラ2からのコマンドはチップアドレスが一致していても受け付けないものとする。

【0094】コントローラ2は、当該コントローラ2のS O出力をアサートした後、コントローラ2のD Oよりチップアドレス2000"0xFF"及びチップアドレス再設定コマンド2100及び新チップアドレス2200(ここでは"0x00")

を出力して最初のチップアドレス再設定コマンドをチップアドレス"0xFF"のメモリに対して発行する。

【0095】ここで、図9において各メモリのチップアドレス設定レジスタ16は"0xFF"に初期化され、SO出力は初期化によってネゲートされているため、コントローラ2が初期化後最初に発行するチップアドレス再設定コマンドの発行を受け付けるメモリはメモリ100だけとなる。

【0096】メモリ100のチップアドレス設定レジスタ16の値は"0x00"に設定され、メモリ100のSO601出力をアサートもしくはメモリ100のSI600に入力された値を出力する。ここでは例としてメモリ100に設定する値は"0x00"としているが、実際にはリセットによって初期化された値以外の値をチップアドレス設定レジスタ16に設定するようにする。

【0097】次に、2番目のチップアドレス再設定コマンドとしてチップアドレス2001及びチップアドレス再設定コマンド2101及び新チップアドレス2201をコントローラ2のDO出力より出力する。ところで、このときメモリ100のチップアドレス設定レジスタ16の値はすでに"0xFF"以外の値が設定されている。このためメモリ100はコマンドを受け付けず、メモリ101が2番目のチップアドレス再設定コマンドを受け付け、チップアドレス設定レジスタ16に新チップアドレスを設定し、新チップアドレスの設定後にメモリ101のSO601出力をアサートもしくはSI600に入力された値を出力する。

【0098】以後同様に、順次各メモリのチップアドレス設定レジスタ16を設定してゆき、最後のメモリ159のチップアドレス設定レジスタ16を設定後、メモリ159はSO601をアサートもしくはSI600に入力された値を出力し、コントローラ2にチップアドレスが終了したことを知らせる。

【0099】ここではチップアドレス設定レジスタ16のビット数を8bitとしているので、メモリ159が256番目のメモリであるとすれば、チップアドレス設定レジスタ16に設定する値は"0xFF"となる。

【0100】本処理例によれば、図13の場合と同様に、コントローラ2はコマンドの発行回数を計数する等の方法でメモリの数を知ることができる。

【0101】図9において、例えばメモリ100とメモリ101の機能を同一のメモリで実現する場合、動作機能設定用の端子を設けると前述したが、ここで各メモリに対して動作機能設定用端子のレベルを読み取るコマンドを持つことで、コントローラ2は各メモリの機能を把握でき、またコントローラ2のSO信号がどのメモリを経由してコントローラ2のSIに戻ってくるかが一定のルールで決められていれば、メモリを搭載する数が半導体メモリシステムごとに異なっても各メモリがどのバスグループに属するかを推定することができる。

【0102】したがって、各バスグループに接続されて

いるメモリの数が把握でき、各メモリのチップアドレス設定レジスタ16及びアドレスグループ設定レジスタ18の値を、最適な値に設定することができる。

【0103】図3でのメモリの接続において、各メモリにデータ出力制御端子としてOC端子を追加した構成例を、図15を参照して説明する。

【0104】本例において縦列に接続された各メモリの各OC端子は、図15に示すように接続される。メモリ109、119のOC端子は入力として、またメモリ109、119以外のOC端子は出力端子として機能する。この機能の切

換えは前述したメモリの機能を区別するための入力を使用する。

【0105】図15において、出力として機能するメモリ109、119以外のメモリOC端子は、それぞれバスグループごとにwired接続されて、それぞれデータ出力制御信号1001、1101として、メモリ109とメモリ119のOC端子に入力される。ここで出力として機能するOC端子はwired接続するためにオープンドレインもしくは3ステート出力で信号を出力し、またデータ出力制御信号1001、1101にはプルアップ抵抗1002、1102が接続されている。

【0106】コントローラ2がメモリ101からデータをReadする場合、コントローラ2より発行されたReadコマンドに対してメモリ101は、発行されたReadコマンドに応じたデータをDOより出力すると共に、OC端子よりデータ出力制御信号をアサートする。このときメモリ101以外のメモリのOC出力は"Hi-Z"となっている。

【0107】メモリ109はOC端子に入力されるデータ出力制御信号のアサートを受けて、メモリ109のDIに入力されるデータをDOへ出力する。

【0108】図15は、上記と同様に、図9でのメモリの接続において各メモリにデータ出力制御端子としてOC端子を追加した他の構成例を示す。

【0109】本構成例において縦列に接続された各メモリの各OC端子は、図16に示すように接続され、メモリ100のOC端子は入力として、メモリ101からメモリ109のOC端子は出力として機能する。前述同様にOC端子の機能の切り換えは前述したメモリの機能を区別するための入力を使用する。

【0110】本構成例における動作は、図15での説明と同様の動作であり、図15のメモリ109、119が図16ではメモリ100に相当する。

【0111】以上のようにデータ出力制御端子を設けることで、メモリには図10のアドレスグループ設定レジスタ18がなくなる。このため、比較器15の回路規模は小さくなり、各メモリのチップアドレス設定レジスタ14に設定する値を自由に設定できる。

【0112】

【発明の効果】以上のように本発明によれば、メモリ内にデータや制御信号のバッファを内蔵することで、データや制御信号用のバッファICを追加する必要がなくな

るので、バッファ I C の占有する面積の分だけメモリを増やすことができ、メモリファイルシステムの大容量化に有利となる。

【図面の簡単な説明】

【図１】本発明の一実施形態におけるメモリの内部構成を示したブロック図。

【図２】本発明の対象となるシステムのブロック構成を示すブロック図。

【図3】メモリとコントローラとの接続方法の一例を示すブロック図。

【図4】コントローラが発行するコマンドのタイミングチャート。

【図5】コントローラが発行するコマンドのタイミングチャート。

【図6】本発明の他の実施形態におけるメモリの内部構成を示したブロック図。

【図7】メモリのチップアドレス設定時のタイミングチャート。

【図8】本発明の他の実施形態におけるメモリの内部構成を示したブロック図。

【図9】メモリとコントローラとの接続方法の他の例を示すブロック図。

【図10】比較器の内部構成を示すブロック図。

【図11】データのRead/Write時のタイミングチャー

ト

【図 12】本発明の他の実施形態におけるメモリの内部構成を示したブロック図。

【図13】メモリのチップアドレス設定時のタイミングチャート。

10 【図14】メモリのチップアドレス設定時のタイミングチャート。

【図15】メモリの接続方法の一例を示すブロック図。

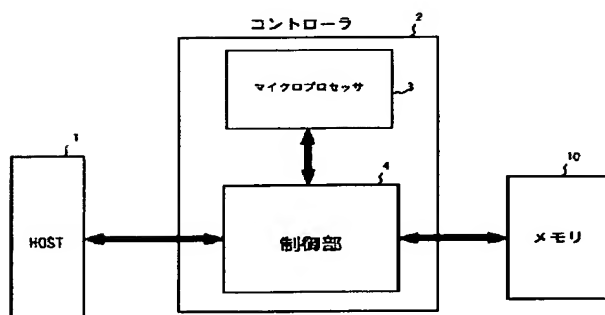
【図16】メモリの接続方法の他の例を示すブロック図。

15 【符号の説明】

2…コントローラ、3…マイクロプロセッサ、4…制御部、10…メモリ、11…メモリ部、12…コマンド制御部、13…コマンドレジスタ、14…チップアドレスレジスタ、15…比較器、16…チップアドレス設定レジスタ、17…セレクト。

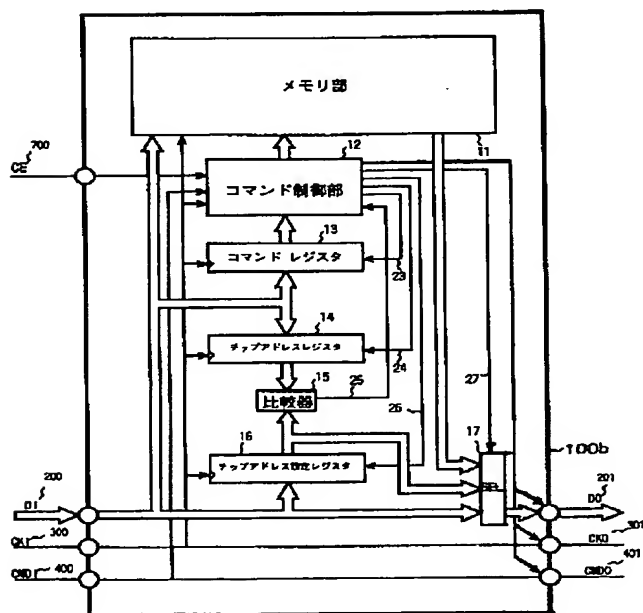
【图2】

2



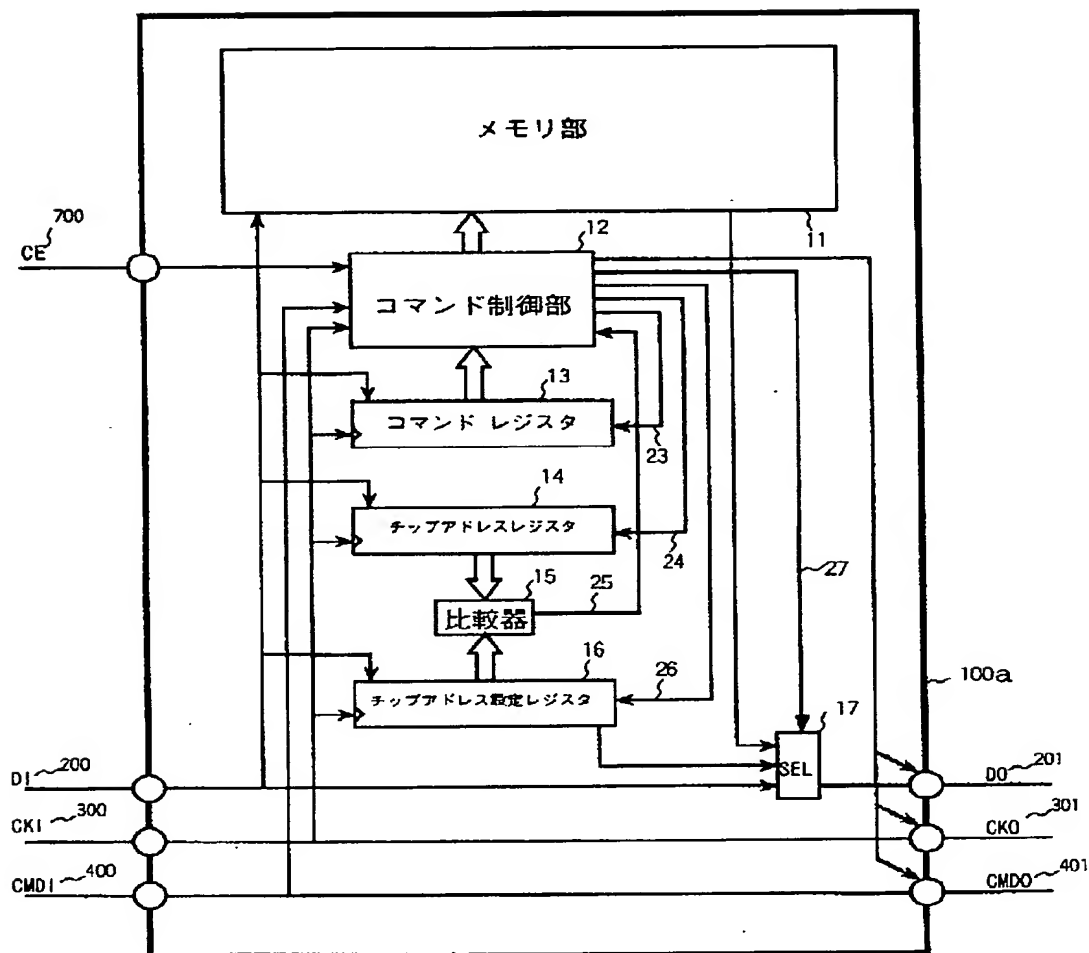
【図 6】

图6



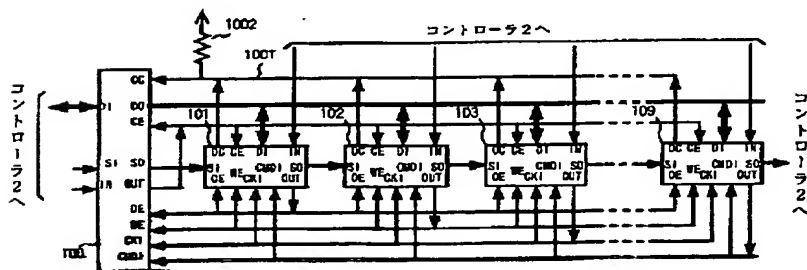
【図1】

図1



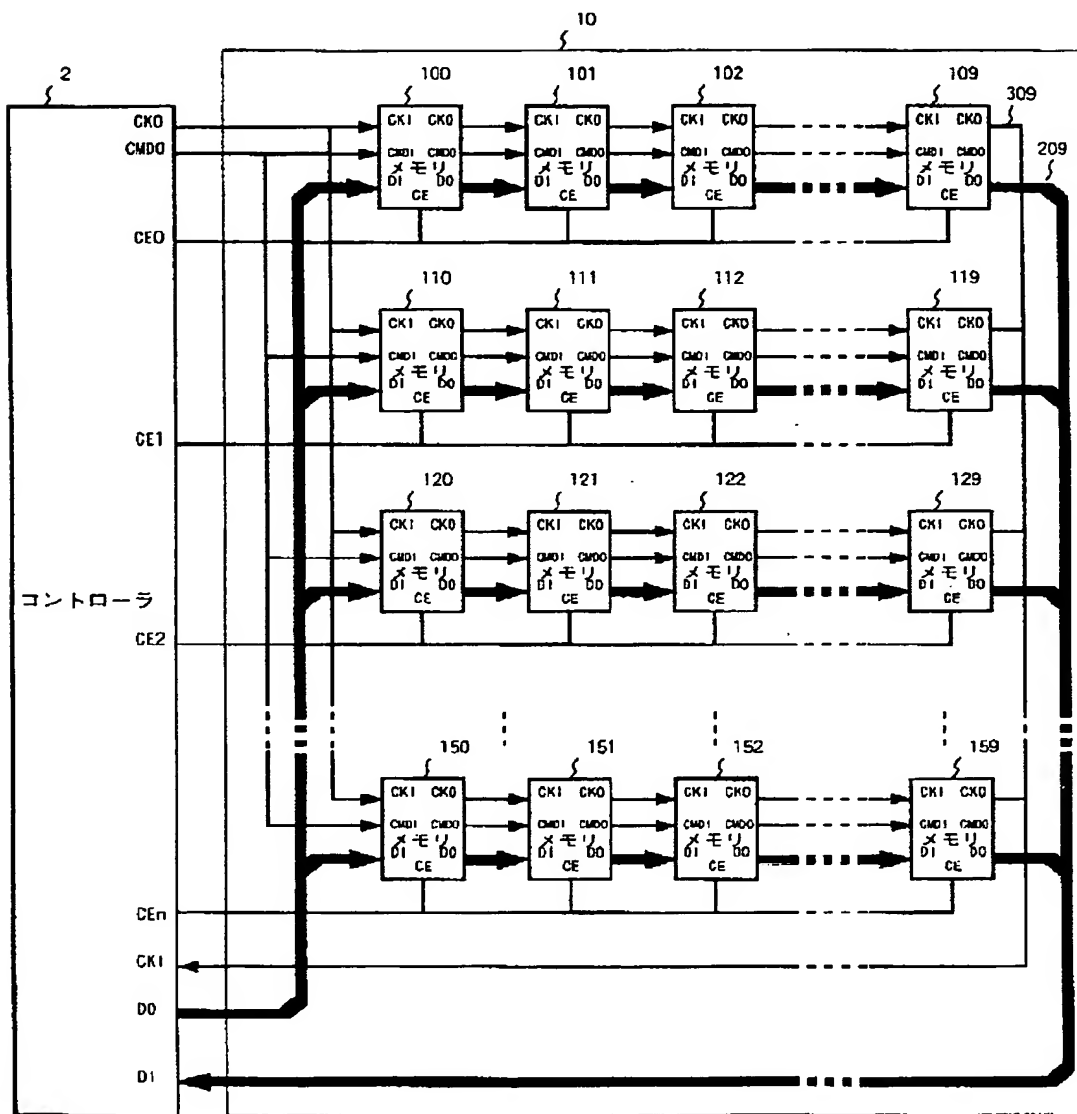
【図16】

図16



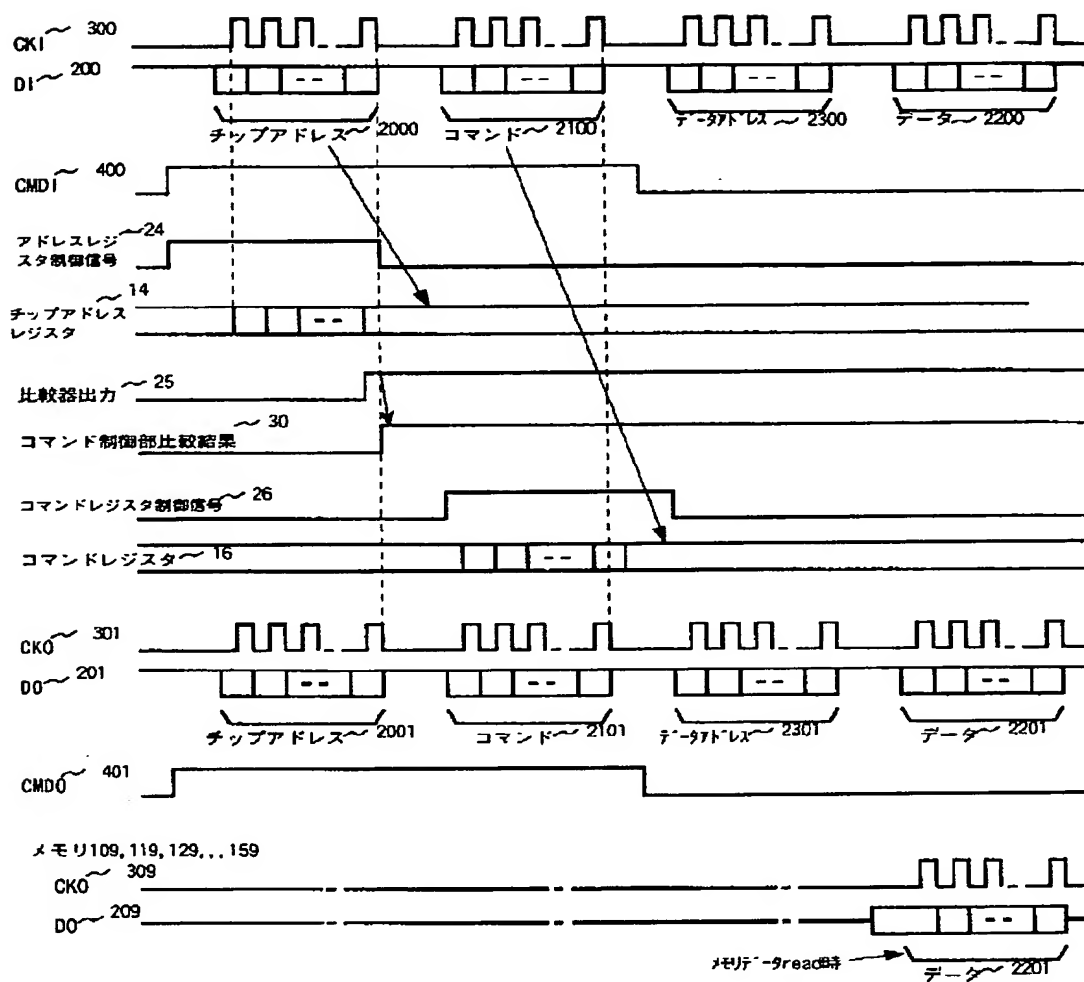
【図3】

図3



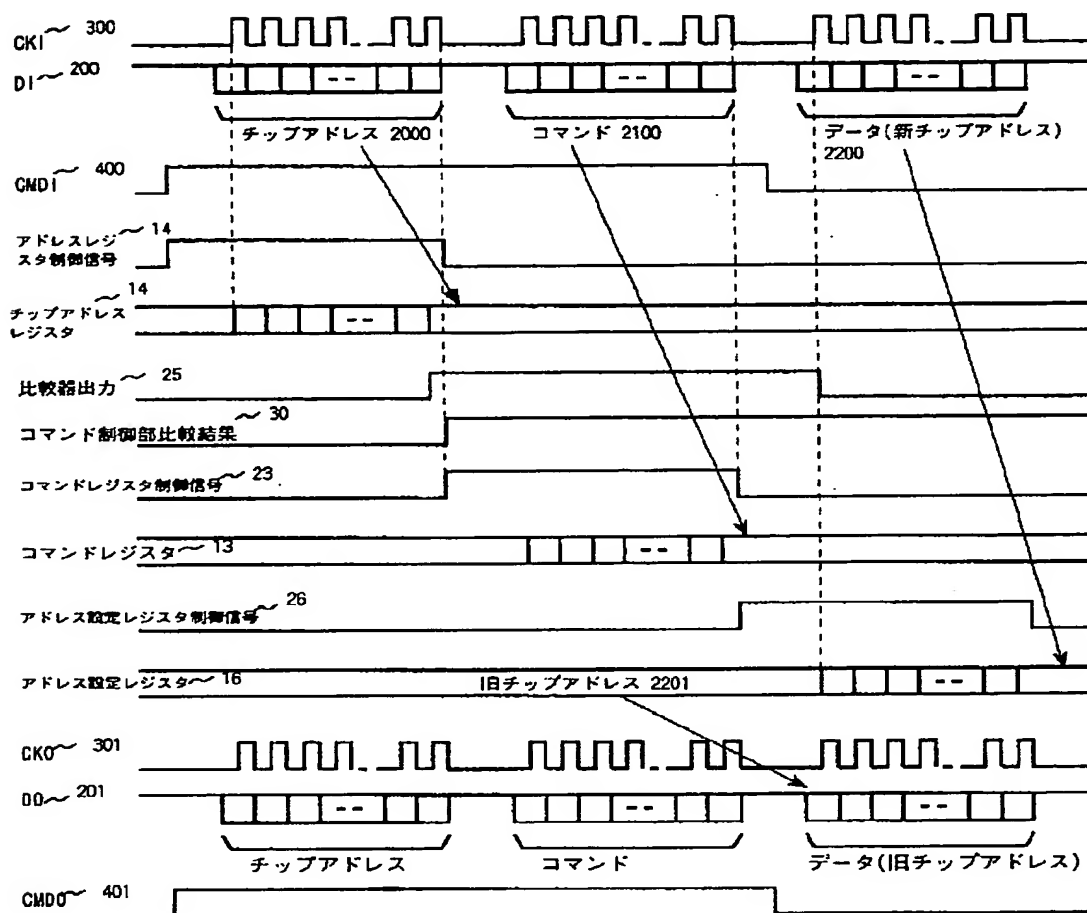
【図4】

図4



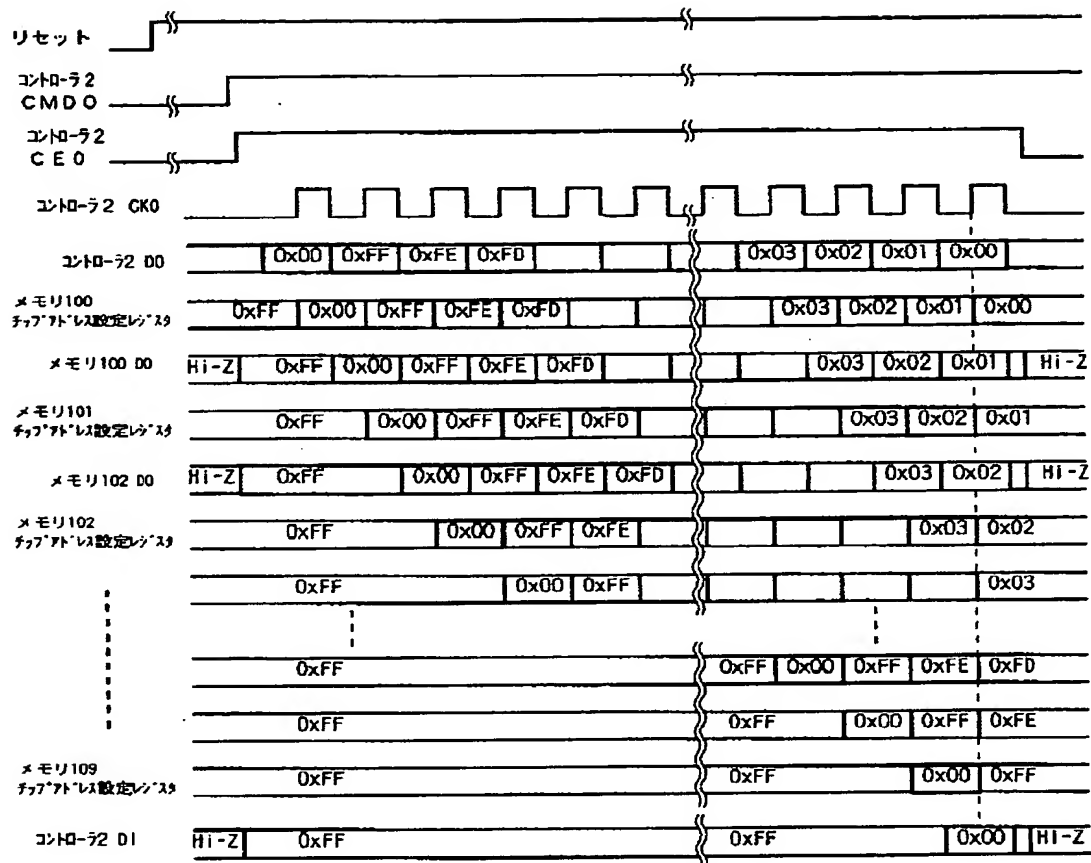
【図5】

図5



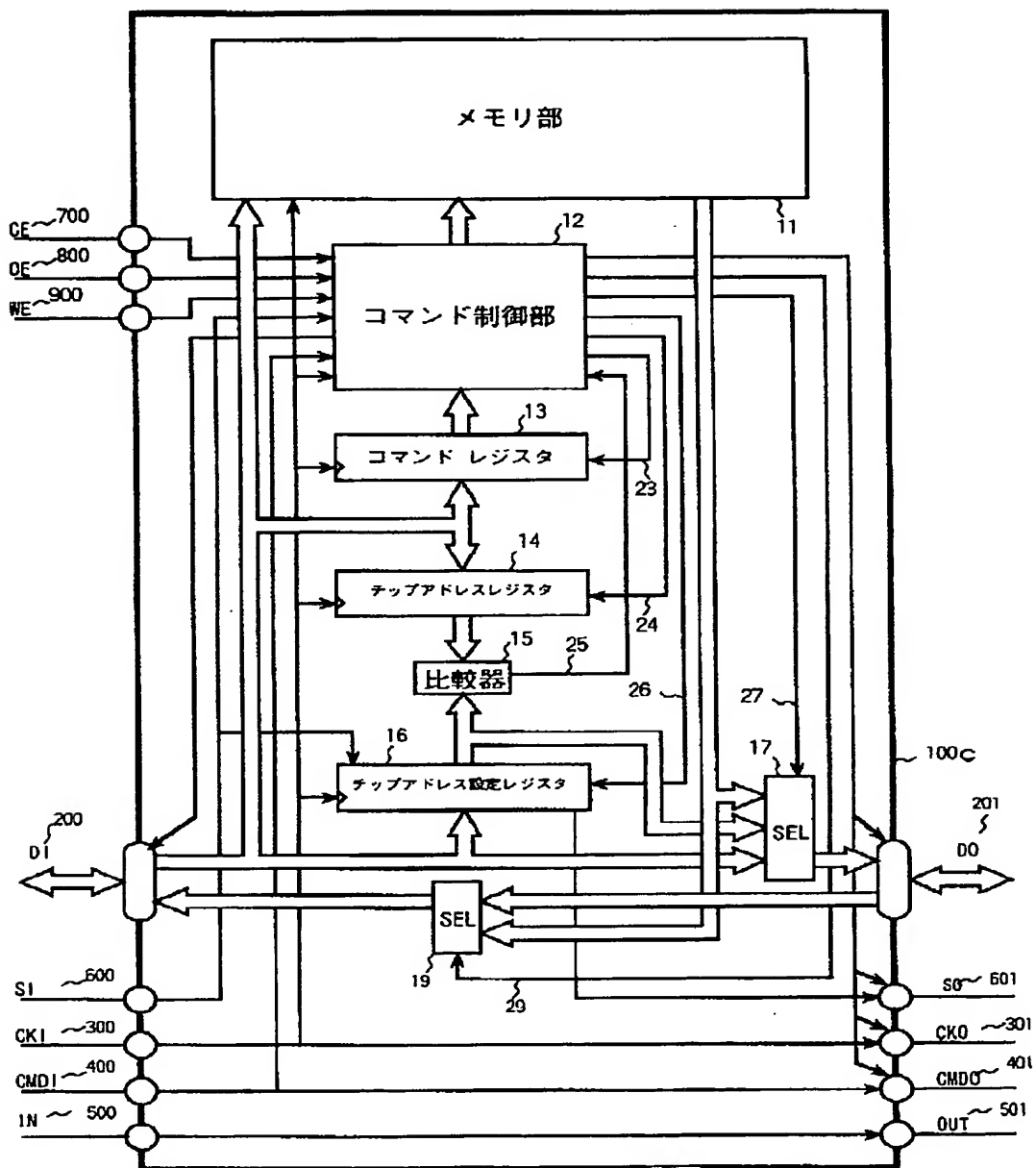
【図7】

図7



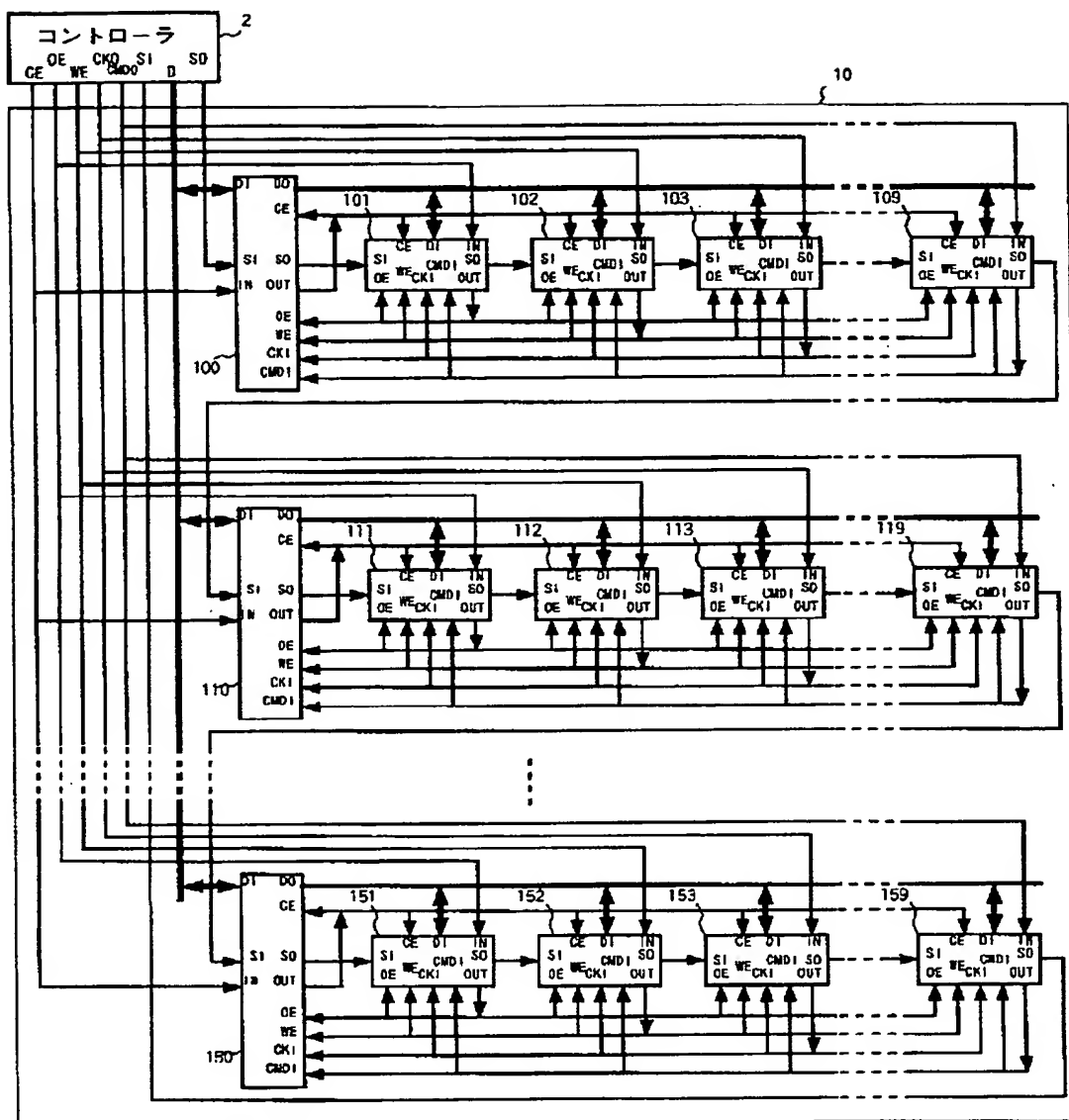
【図8】

図8



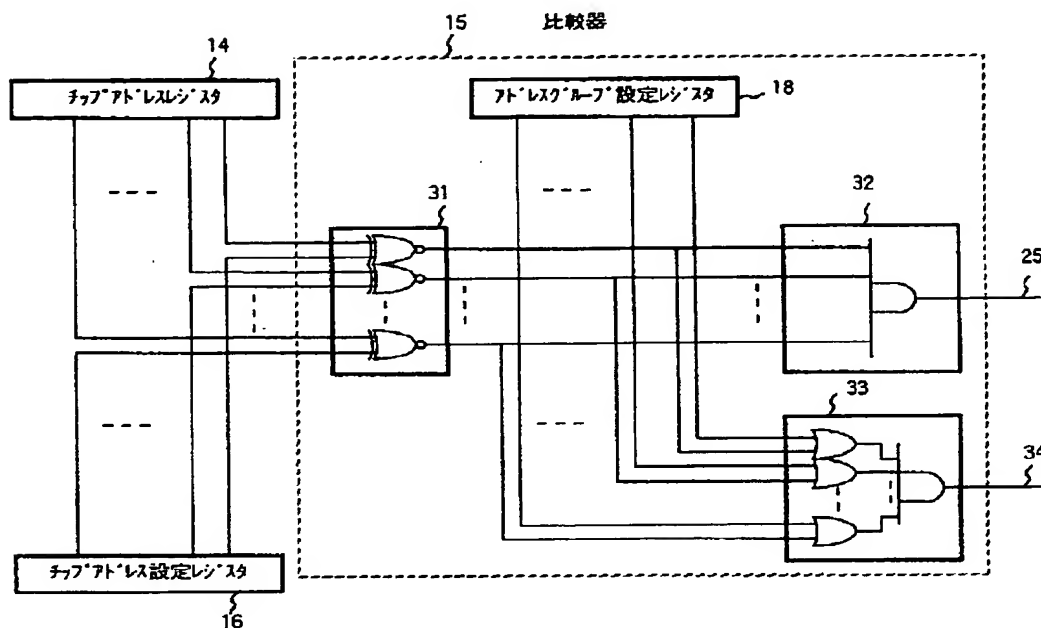
【図9】

図9



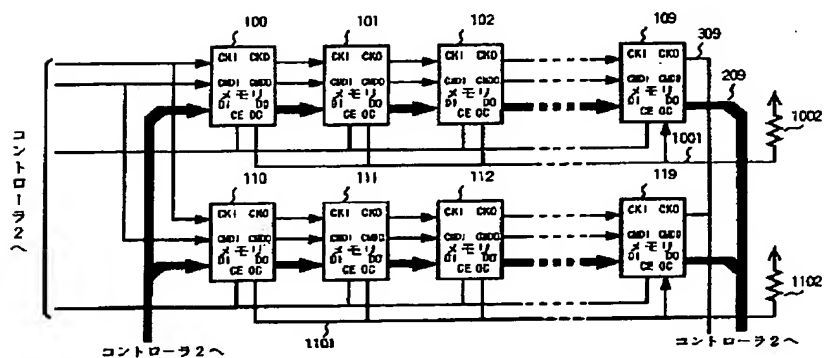
【図10】

図10



【図15】

図15



【図11】

図11

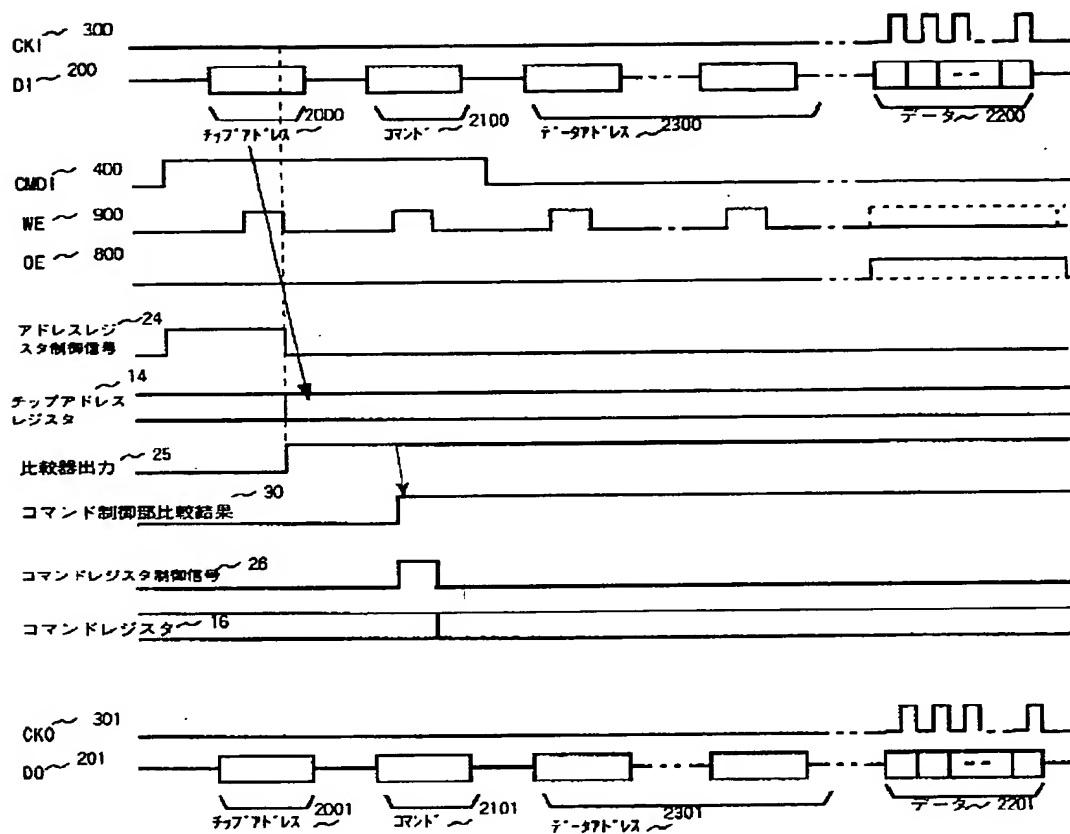
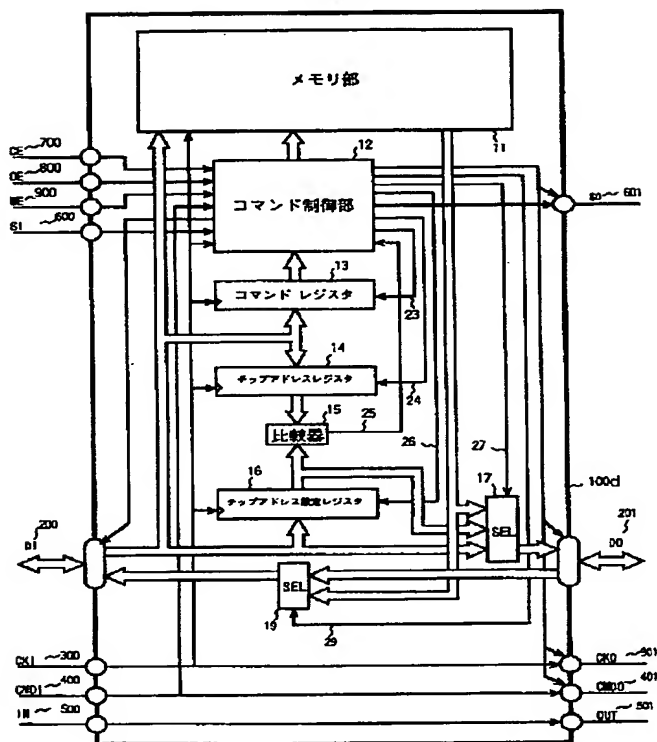
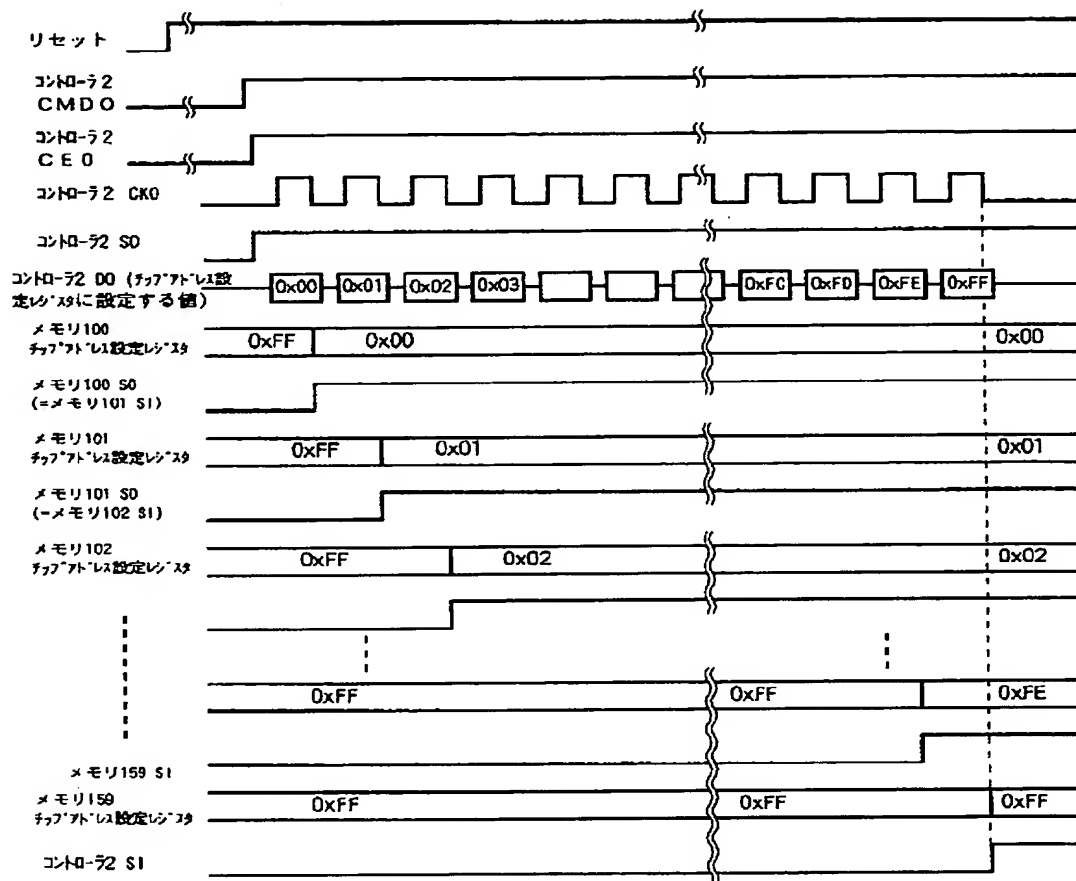


图12



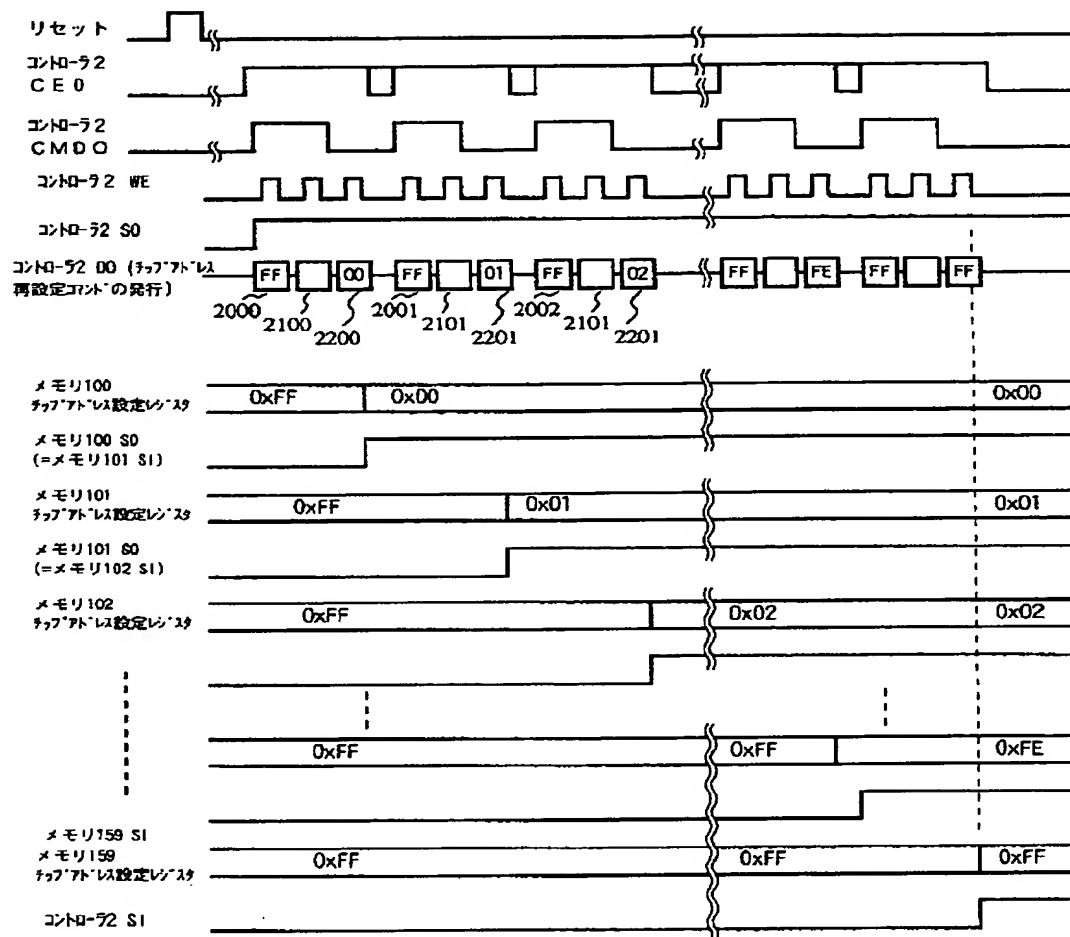
【図13】

図13



【図14】

図14



フロントページの続き

(72)発明者 河岸 忠宏
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内
(72)発明者 常広 隆司
神奈川県川崎市麻生区王禅寺1099番地 株 45
式会社日立製作所システム開発研究所内

(72)発明者 片山 国弘
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内
(72)発明者 中村 一男
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5B060 MB00 MM06 MM11